

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-222061

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

G06F 1/04

G06F 1/08

(21)Application number : 11-026533

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 03.02.1999

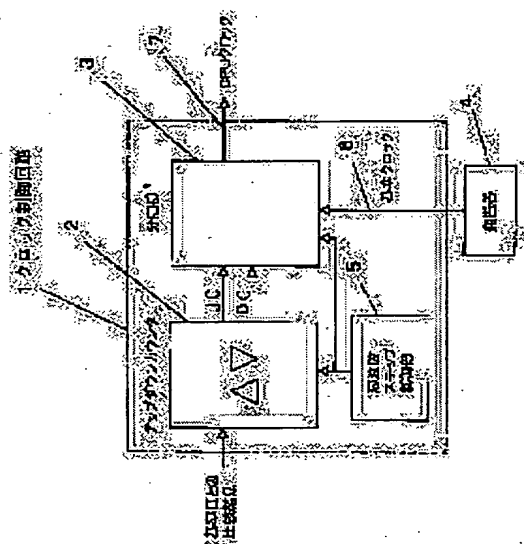
(72)Inventor : HOSHIDA TAKUMI
YAGO MASATOSHI
FUKUYA TETSUYA
DOUGASAKI SHIKO

(54) CLOCK CONTROLLING METHOD AND CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To relieve the abrupt change of visual operability when a clock frequency is switched for making low power consumption in a portable information terminal or the like.

SOLUTION: A clock control circuit 1 is provided with an up/down counter 2 which operates on the basis of comparison results with the reference value of a prescribed external condition, a frequency divider 3 which performs frequency division of a reference clock 6 generated by an oscillator 4 and outputs a CPU clock 7 and a frequency step controlling part 5 which controls the number of steps and step width when the frequency of the clock 7 is switched. As for the prescribed external condition, the residual capacity of a battery used as a power supply and temperature in a system are used. When the frequency of the clock 7 is switched, it is possible to relieve the change of abrupt visual operability when it is used for a portable information terminal or the like, by switching to a target frequency gradually according to the number of steps and the step width set by the part 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-222061

(P2000-222061A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.

G 0 6 F 1/04
1/08

識別記号

3 0 1

F I

G 0 6 F 1/04

テーマト* (参考)

3 0 1 B 5 B 0 7 9
3 2 0 A

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号

特願平11-26533

(22) 出願日

平成11年2月3日 (1999.2.3)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 星田 匠

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 家合 政敏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

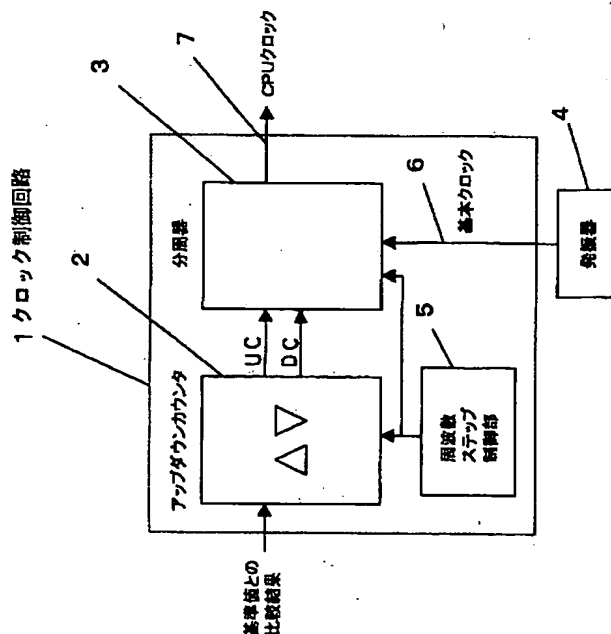
最終頁に続く

(54) 【発明の名称】 クロック制御方法および制御回路

(57) 【要約】

【課題】 携帯情報端末等において、低消費電力化等を図るためのクロックの周波数切り替わり時における視覚的・操作性の急激な変化を緩和する。

【解決手段】 クロック制御回路1は、所定の外部条件の基準値との比較結果に基づいて動作するアップダウンカウンタ2と、発振器6の発生した基本クロック6を分周してCPUクロック7を出力する分周器3と、CPUクロック7の周波数切り替え時のステップ数およびステップ幅をコントロールする周波数ステップ制御部5とを備えている。所定の外部条件としては、電源として使用しているバッテリーの残容量や、システム内の温度を用いる。CPUクロック7の周波数を変更する際に、周波数ステップ制御部5で設定されたステップ数およびステップ幅により段階的に目標の周波数に変更することにより、携帯情報端末等に用いた場合に、急激な視覚的・操作性の変化を緩和できる。



テップ幅も任意に設定可能であるため、非常にフレキシビリティがある周波数制御を実現することが可能である。

【0035】

【発明の効果】以上詳述したように本発明によれば、CPUおよびCPUと同じクロックで動作する回路に供給するクロックの周波数を変更する際に段階的に変更することにより、携帯情報端末等に用いた場合に、急激な視覚的・操作性の変化を緩和することができる。また、クロックの周波数の変更をバッテリーの残容量状態や検出した温度に応じて行うようにすることで、消費電力を抑えるパワーマネジメント機能を実現できる。さらに、クロックの周波数を段階的に変更する時間間隔（ステップ幅）や段階数（ステップ数）を任意に設定可能にしたことにより、非常にフレキシビリティのある周波数制御を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるクロック制御回路を示すブロック図。

【図2】本発明の第1の実施の形態におけるクロック制

御方法を示す概念図。

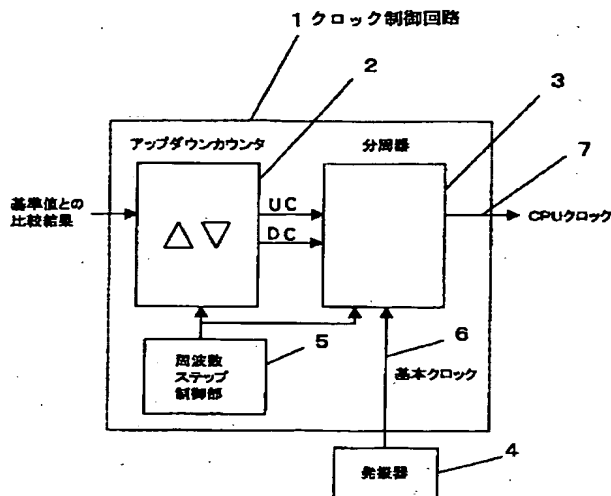
【図3】本発明の第2の実施の形態における携帯情報端末（PDA）の要部を示すブロック図。

【図4】本発明の第2の実施の形態における動作を示すフローチャート。

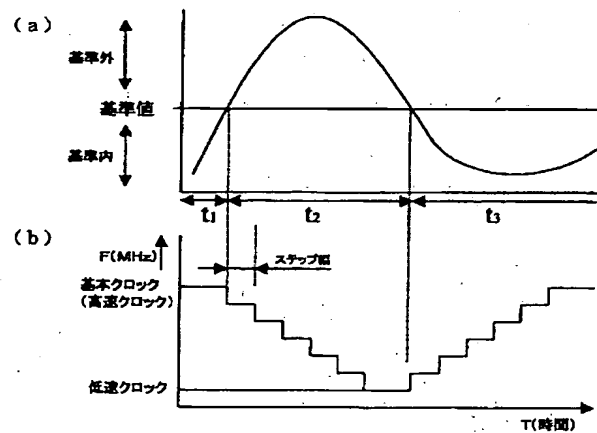
【符号の説明】

- 1 クロック制御回路
- 2 アップダウンカウンタ
- 3 分周器
- 4 発振器
- 5 周波数ステップ制御部
- 6 基本クロック（高速クロック）
- 7 CPUクロック
- 10 周波数ステップ制御部
- 11 チップセット
- 12 システムコントローラ
- 13 CPU
- 20 NSTPCLK

【図1】



【図2】



変更する段階数（ステップ数）を任意に設定可能にしたことにより、フレキシビリティのある周波数制御を実現できる。

【0017】

【発明の実施の形態】〔第1の実施の形態〕まず、本発明の第1の実施の形態におけるクロック制御回路を示すブロック図である。図1において、1はクロック制御回路、2はアップダウンカウンタ、3は分周器、4は基本クロック6を発生する発振器、5はCPUクロック7の周波数切り替え時のステップ数およびステップ幅をコントロールする周波数ステップ制御部である。なお、CPUクロック7は、図示しないCPUおよびCPUと同じクロックで動作する回路に供給されるクロックである。

【0018】本実施の形態におけるクロック制御回路1は、所定の外部条件の基準値との比較結果に基づいて動作するアップダウンカウンタ2と、発振器4の発生した基本クロック（高速クロック）6を分周してCPUクロック7を出力する分周器3と、CPUクロック7の周波数切り替え時のステップ数およびステップ幅をコントロールする周波数ステップ制御部5とを備えている。所定の外部条件としては、図示しないCPUおよびCPUと同じクロックで動作する回路の電源として使用しているバッテリーの残容量や、システム内の温度等を用いる。

【0019】このクロック制御回路1では、基準値との比較結果に基づき所定の外部条件が基準内である通常ときには、CPUクロック7の周波数を基本クロック6（高速クロック）の周波数とし、その状態から所定の外部条件が基準外となったときに、CPUクロック7の周波数を低速クロック（基本クロック6が $1/M$ 分周されたクロック）の周波数に変更し、この際に、周波数を段階的に変更するようにしている。また、CPUクロック7が低速クロックである状態から所定の外部条件が基準内に戻ったときに、CPUクロック7の周波数を基本クロック6（高速クロック）の周波数に変更し、この際に、周波数を段階的に変更するようにしている。CPUクロック7を、基本クロック6から低速クロックに、あるいは低速クロックから基本クロック6に変更する周波数切り替え時に周波数を段階的に変更する際のステップ幅を予め周波数ステップ制御部5からアップダウンカウンタ2に設定しておくとともに、その周波数を段階的に変更する際のステップ数を予め周波数ステップ制御部5から分周器3に設定しておく。

【0020】このように構成されるクロック制御回路1による制御方法を、さらに図2を参照しながら説明する。図2はクロック制御回路1による制御方法を説明するための図であり、図2（a）は所定の外部条件の変化の例を示し、図2（b）は図2（a）の外部条件の変化に応じたCPUクロック7の例を示す。

【0021】通常、図2の時間 t_1 の間のように、分周

器3は発振器4の基本クロック6をCPUクロック7として出力しているが、バッテリー残容量が一定量（基準値）より減少する、あるいはシステム内の温度が許容温度（基準値）を越える等、所定の外部条件が基準外となる変化を検出した場合、図2の時間 t_2 の間のように、アップダウンカウンタ2が周波数ステップ制御部5で設定されたステップ幅でダウンカウントを開始し、分周器3は周波数ステップ制御部5で設定されたステップ数に応じて、基本クロック6と設定された低速クロックとの周波数差を均等に分割し（この均等に分割されたものを「1ステップ周波数幅」という）、基本クロック6から順次1ステップ周波数幅ずつ下げ、急な周波数変化を抑制しつつ、CPUクロック7を段階的に目標の低速クロックの周波数（基本クロック6の周波数 $\times 1/M$ ）へ変更する。

【0022】また逆に、上記所定の外部条件が基準内に戻った場合、図2の時間 t_3 の間のように、アップダウンカウンタ2が周波数ステップ制御部5で設定されたステップ幅でアップカウントを開始し、分周器3は周波数ステップ制御部5で設定されたステップ数に応じて、低速クロックから順次1ステップ周波数幅ずつ上げ、CPUクロック7の周波数を目標の高速クロックの周波数へ段階的に変更する。

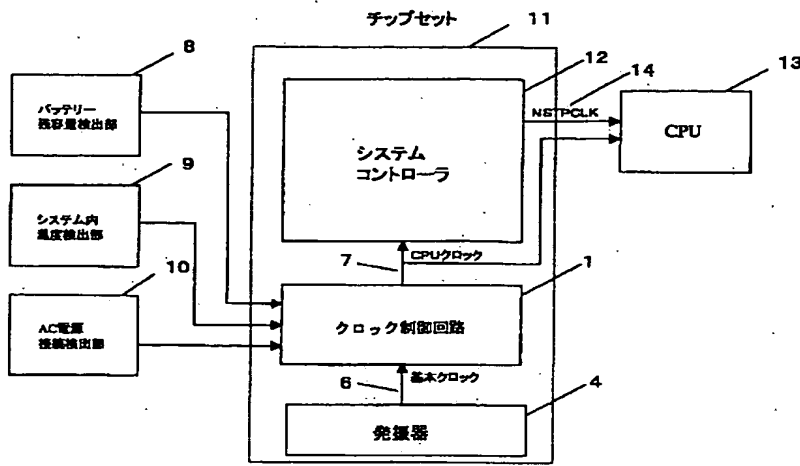
【0023】なお、アップダウンカウンタ2は、基準値との比較結果が基準外となった場合に、アップダウンカウンタ2のダウンカウンタが有効となり、予め設定されたカウント値（ステップ幅）でダウンカウントを開始し、カウントが設定値に達するとダウンカウンタのキャリーDCが発生し、分周器3のステップを1つ下げる。この動作を、CPUクロック7が目標の低速クロックとなるまで繰り返す。また、逆に基準値との比較結果が基準内に戻った場合は、アップダウンカウンタ2のアップカウンタが有効となり、上記と逆の動作で、分周器3のステップを1つずつ上げ、高速クロックに戻していく。この場合、アップカウンタのキャリーUCが発生する。

【0024】また、分周器3は、アップカウンタのキャリーUCを入力するたびに、出力されるCPUクロック7の周波数を1ステップ周波数幅ずつ上げ、またダウンカウンタのキャリーDCを入力するたびに、出力されるCPUクロック7の周波数を1ステップ周波数幅ずつ下げる。周波数ステップ制御部5は、アップダウンカウンタ2にカウント値（ステップ幅）を与え、分周器3にステップ数と基本クロック6の分周値 M とを与える。

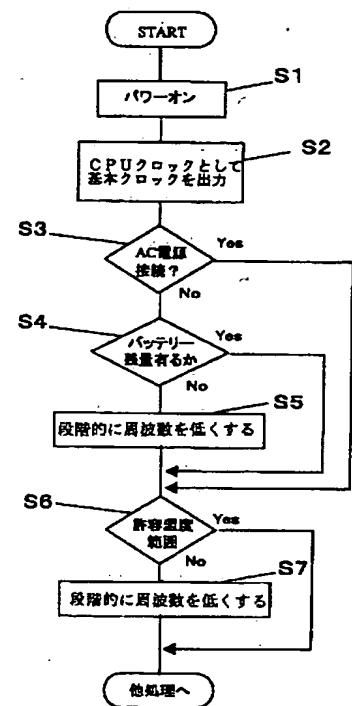
【0025】以上のように本実施の形態によれば、CPUクロック7の周波数を変更する際に、目標の周波数に一気に変更するのではなく段階的に変更することにより、携帯情報端末等に用いた場合に、急激な視覚的・操作性の変化を緩和することができる。

【0026】また、CPUクロック7の周波数を早く目標の周波数に切替える場合は、周波数ステップ制御部5

【図3】



【図4】



フロントページの続き

(72) 発明者 福家 徹也
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 堂ヶ崎 士行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B079 BA03 BB04 BC01 BC05 BC10
DD02 DD03 DD20

【特許請求の範囲】

【請求項1】 CPUおよび前記CPUと同じクロックで動作する回路に供給するクロックの周波数を変更する際に、周波数を段階的に変更することを特徴とするクロック制御方法。

【請求項2】 CPUおよび前記CPUと同じクロックで動作する回路に供給するクロックを生成し、所定の状態に応じて前記クロックの周波数を変更し、この際に周波数を段階的に変更することを特徴とするクロック制御回路。

【請求項3】 CPUおよび前記CPUと同じクロックで動作する回路の電源として使用しているバッテリーの残容量状態に応じて、クロックの周波数を変更することを特徴とする請求項2記載のクロック制御回路。

【請求項4】 CPUおよび前記CPUと同じクロックで動作する回路に対して検出した温度に応じて、クロックの周波数を変更することを特徴とする請求項2記載のクロック制御回路。

【請求項5】 クロックの周波数を段階的に変更する時間間隔を任意に設定可能にしたことを特徴とする請求項2、3または4記載のクロック制御回路。

【請求項6】 クロックの周波数を段階的に変更する段階数を任意に設定可能にしたことを特徴とする請求項2、3、4または5記載のクロック制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック周波数を可変するクロック制御方法および制御回路に関するものである。

【0002】

【従来の技術】バッテリーを電源とする携帯情報端末(PDA)においては、長時間動作を可能にするため、様々な手段を講じて低消費電力化が図られている。一般的に知られている手段としては、CPUに供給するクロックにおいて、ある基準値(バッテリー残容量基準値、システム内温度基準値、CPU負荷基準値等)と比較して高い周波数から低い周波数(高い周波数を分周する等)へ切り替えタイミングを調整した後、一気に切り替える事によりCPUへ供給するクロックの周波数を変更し、CPUおよび同じCPUクロックで動作する機器の消費電力を低減させ、その結果バッテリーを延命させるという方法である。

【0003】

【発明が解決しようとする課題】しかしながら上記の従来技術においては、前記基準値に対し予め設定された範囲を越えた場合、バッテリー寿命の延命やシステム動作の安定性を確保するためにクロックを高い周波数から低い周波数に一気に切り替えるため、操作時の画面表示が急に遅くなったり、操作に対する応答が悪くなったりするという欠点を有していた。

【0004】本発明は、上記欠点を解決するもので、携帯情報端末(PDA)等において、低消費電力化等を図るためのクロックの周波数切り替わり時における視覚的・操作性の急激な変化を緩和することができるクロック制御方法および制御回路を提供することを目的とする。

【0005】

【課題を解決するための手段】請求項1記載のクロック制御方法は、CPUおよびCPUと同じクロックで動作する回路に供給するクロックの周波数を変更する際に、周波数を段階的に変更することを特徴とする。

【0006】このようにクロックの周波数を変更する際に段階的に変更することにより、携帯情報端末等に用いた場合に、急激な視覚的・操作性の変化を緩和することができる。

【0007】請求項2記載のクロック制御回路は、CPUおよびCPUと同じクロックで動作する回路に供給するクロックを生成し、所定の状態に応じてクロックの周波数を変更し、この際に周波数を段階的に変更することを特徴とする。

【0008】このようにクロックの周波数を変更する際に段階的に変更することにより、携帯情報端末等に用いた場合に、急激な視覚的・操作性の変化を緩和することができる。

【0009】請求項3記載のクロック制御回路は、請求項2記載のクロック制御回路において、CPUおよびCPUと同じクロックで動作する回路の電源として使用しているバッテリーの残容量状態に応じて、クロックの周波数を変更することを特徴とする。

【0010】このようにクロックの周波数の変更はバッテリーの残容量状態に応じて行うようにすればよい。

【0011】請求項4記載のクロック制御回路は、請求項2記載のクロック制御回路において、CPUおよびCPUと同じクロックで動作する回路に対して検出した温度に応じて、クロックの周波数を変更することを特徴とする。

【0012】このようにクロックの周波数の変更は検出した温度に応じて行うようにすればよい。

【0013】請求項5記載のクロック制御回路は、請求項2、3または4記載のクロック制御回路において、クロックの周波数を段階的に変更する時間間隔を任意に設定可能にしたことを特徴とする。

【0014】このように、クロックの周波数を段階的に変更する時間間隔(ステップ幅)を任意に設定可能にしたことにより、フレキシビリティのある周波数制御を実現できる。

【0015】請求項6記載のクロック制御回路は、請求項2、3、4または5記載のクロック制御回路において、クロックの周波数を段階的に変更する段階数を任意に設定可能にしたことを特徴とする。

【0016】このように、クロックの周波数を段階的に

K14がアサートされるとCPU内部のクロックを停止させることができ、入力周波数を変更したり、完全に入カクロックを停止することが可能になる。

【0031】さらに図4のプロセッサを用いてクロック制御回路1の動作を説明する。先ず、パワー(電

源) オン(スワッチS1) された後、クロック制御回路1は発振器4からの基本クロック6を分周せずにCPU

クロック7としてシステムコントローラ12とCPU13に供給する(スワッチS2)。次に、AC電源接続検

出部10からの出力によりAC電源が接続されているかどうかを判断し(スワッチS3)、接続されれば、

バッテリ一の残容量はチェックをせずにスワッチS6へ進む。逆に、AC電源が接続されていない場合は、

量をチェックし(スワッチS4)、バッテリ一残容量が基準値以下のときは基本クロック6の分周比を段階的に

変更してCPUクロック7を段階的に周波数を低くしながら低速ク

ロツク7としていく(スワッチS5)。バッテリ一残容量が基準値を超えてい

ればスワッチS6へ進む。

【0032】スワッチS6では、システム内温度検出部9からの出力によりCPU13などの温度が許容温度範囲を超えてい

ないかを判断し(スワッチS6)、許容温度範囲を超えてい

れば、システム内の温度を下げるために基本クロック6の分周比を段階的に変更してCPU

クロック7を段階的に周波数を低くしながら低速ク

ロツク7としていく(スワッチS7)。なお、スワッチS5の処理が実行されている場合には、スワッチS7

では、スワッチS5の処理が継続されるだけである。

【0033】なお、上記の機能は、携帯情報端末において、その動作中、常に行われるようにしてある(ただし、ソフトウェアの設定により上記機能をマスクすることもできる)。そして低速ク

ロツク7に落ちた後、そのままの温度(システム内の温度)が基準内に戻った場合には、段階的に高速ク

ロツク7に戻されることはない。なお、高速ク

ロツク7から低速ク

ロツク7に落ちた後、そのままの温度(システム内の温度)が基準内に戻った場合には、段階的に高速ク

ロツク7に戻されることはない。なお、高速ク

ロツク7から低速ク

ロツク7に落ちた後、そのままの温度(システム内の温度)が基準内に戻った場合には、段階的に高速ク

ロツク7に戻されることはない。なお、高速ク

のソフトウェア数を小さく設定し、またソフトウェア幅を短く設定することにより実現できる。また、より滑らかにCP

Uクロック7を切換える場合は、ソフトウェア数を多く設定し、またソフトウェア幅を長く設定することにより実現でき

る。このように周波数ソフトウェア制御部5により、詳細なクロック切換えの設定が可能であり、クロック制御の自

由度を確保している。

【0027】[第2の実施の形態] この第2の実施の形態では、第1の実施の形態におけるクロック制御回路を

用いた携帯情報端末(PDA)について説明する。図3

は本発明の第2の実施の形態における携帯情報端末の要部を示すブロック図である。図3において、8はバッテ

リ一残容量検出部、9はシステム内温度検出部、10はAC電源接続検出部、11はCPUおよびマイクロ

プロセッサ、12はチップセ

ット11内のシステムコントローラ、13はCPUである。また、チップセ

ット11内のクロック制御回路1および発振器4は図1

と同等のものである。

【0028】この携帯情報端末は、電源として外部のAC電源および内部のバッテリ一を使用でき、AC電源に

接続している場合にはそれを電源として用い、AC電源に接続していない場合にはバッテリ一を電源として用い

るものである。AC電源接続検出部10はAC電源の接続の有無を検出するものであり、バッテリ一残容量検出

部8はバッテリ一の残容量が基準容量(基準値)以下であるかを検出するものである。また、システム内温

度検出部9はCPU13などシステム内の温度が許容温度範囲内(基準内)であるかを検出するものである。

【0029】クロック制御回路1は、所定の外部条件、具体的にはバッテリ一残容量検出部8およびシステム内

温度検出部9からそれぞれ基準値との比較結果を受け取り、比較結果が基準外となった場合(バッテリ一の残容

量が基準容量以下となった場合や、システム内の温度が許容温度範囲を超えていた場合)は、システムコント

ローラ12はCPU13に対してNSTPCLK(ストップクロック)14をアサートし、CPU13をストップ・

ラント状態に遷移させ、CPU13がストップ・ラント状態であるときに、CPUクロック7を1段階

(1ストップ) 周波数を下げる。ここで、CPUクロック7の周波数切り替え時のソフトウェア幅はCPU13に内蔵するPLLの発振安定待ち時間以上となればなら

ない。ソフトウェア幅の時間分、周波数を変更した後は、NSTPCLK14をアサートしてCPU13を通常

の動作に戻す。以上の動作を繰り返してCPUクロック7の周波数を段階的に制御し、動作環境における最適なCPUクロック7をシステムコントローラ12とCPU13に供給する。

【0030】なお、CPU13において、NSTPCLK14がアサートされると、周波数を変更した後は、NSTPCLK14をアサートしてCPU13を通常

の動作に戻す。以上の動作を繰り返してCPUクロック7の周波数を段階的に制御し、動作環境における最適なCPUクロック7をシステムコントローラ12とCPU13に供給する。